

? t 10/7/1-5

10/7/1
DIALOG(R)File 347:JAPIO
(c) 1999 JPO & JAPIO. All rts. reserv.

05447841 **Image available**
MULTIPROCESSOR SYSTEM

PUB. NO.: 09-062641 [JP 9062641 A]

PUBLISHED: March 07, 1997 (19970307)

INVENTOR(s): KAWADA TETSUO
KUROISHI NORIHIKO
KAWACHI KENICHI
MIYAGAWA NOBUAKI
AIHARA REIJI
KOYANAGI MITSUMASA

APPLICANT(s): FUJI XEROX CO LTD [359761] (A Japanese Company or
Corporation), JP (Japan)

APPL. NO.: 07-234603 [JP 95234603]

FILED: August 22, 1995 (19950822)

ABSTRACT

PROBLEM TO BE SOLVED: To speed up data transfer accompanying a data communication between processors by synchronizing the inter-processor data transfer, the CPUs of the processors, and data transfer between the CPUs and memories with the same specific lock signal.

SOLUTION: A network interface unit 4 controls data transfer between a processor 5 and a communication network 1. To communicate data, the data transfer is synchronized with the clock signal of a clock signal line 10 which is inputted at an operation frequency and a transfer rate common to a bus connecting the communication *network*, *processor* 5, memory interface unit 6, and local memory 3 present on a data transfer path. Consequently, no bottleneck is generated on the path of the data transfer and the *multiprocessor* system which enables the efficient data communication can be structured.

? t 10/7/1-5

10/7/1

DIALOG(R)File 347:JAPIO
 (c) 1999 JPO & JAPIO. All rts. reserv.

05447841 **Image available**
 MULTIPROCESSOR SYSTEM

PUB. NO.: 09-062641 [JP 9062641 A]
 PUBLISHED: March 07, 1997 (19970307)
 INVENTOR(s): KAWADA TETSUO
 KUROISHI NORIHIKO
 KAWACHI KENICHI
 MIYAGAWA NOBUAKI
 AIHARA REIJI
 KOYANAGI MITSUMASA
 APPLICANT(s): FUJI XEROX CO LTD [359761] (A Japanese Company or
 Corporation), JP (Japan)
 APPL. NO.: 07-234603 [JP 95234603]
 FILED: August 22, 1995 (19950822)

ABSTRACT

PROBLEM TO BE SOLVED: To speed up data transfer accompanying a data communication between processors by synchronizing the inter-processor data transfer, the CPUs of the processors, and data transfer between the CPUs and memories with the same specific lock signal.

SOLUTION: A network interface unit 4 controls data transfer between a processor 5 and a communication network 1. To communicate data, the data transfer is synchronized with the clock signal of a clock signal line 10 which is inputted at an operation frequency and a transfer rate common to a bus connecting the communication *network*, *processor* 5, memory interface unit 6, and local memory 3 present on a data transfer path. Consequently, no bottleneck is generated on the path of the data transfer and the *multiprocessor* system which enables the efficient data communication can be structured.

10/7/2

DIALOG(R)File 347:JAPIO
 (c) 1999 JPO & JAPIO. All rts. reserv.

04636324 **Image available**
 TARGET SEPARATING DEVICE

PUB. NO.: 06-308224 [JP 6308224 A]
 PUBLISHED: November 04, 1994 (19941104)
 INVENTOR(s): ITO TAKASHI
 APPLICANT(s): MITSUBISHI ELECTRIC CORP [000601] (A Japanese Company or
 Corporation), JP (Japan)
 APPL. NO.: 05-117654 [JP 93117654]
 FILED: April 22, 1993 (19930422)

ABSTRACT

PURPOSE: To provide a target separating device capable of obtaining the

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-62641

(43)公開日 平成9年(1997)3月7日

(51)Int.Cl.⁶
G 0 6 F 15/163
— H 0 4 L 12/40

識別記号 庁内整理番号

F I
G 0 6 F 15/16
H 0 4 L 11/00

技術表示箇所
3 2 0 Z
3 2 0

審査請求 未請求 請求項の数2 FD (全14頁)

(21)出願番号	特願平7-234603
(22)出願日	平成7年(1995)8月22日

(71)出願人 000005496
富士ゼロックス株式会社
東京都港区赤坂二丁目17番22号
(72)発明者 河田 哲郎
神奈川県海老名市本郷2274番地 富士ゼロ
ックス株式会社内
(72)発明者 黒石 篤彦
神奈川県海老名市本郷2274番地 富士ゼロ
ックス株式会社内
(72)発明者 河内 賢一
神奈川県海老名市本郷2274番地 富士ゼロ
ックス株式会社内
(74)代理人 弁理士 南野 貞男 (外1名)

最終頁に続く

(54)【発明の名称】 マルチプロセッサシステム

(57)【要約】

【課題】 複数のプロセッサが互いにデータ通信を行いながら処理を行うマルチプロセッサシステムにおいて、プロセッサ間データ通信に伴うデータ転送を高速化する。

【解決手段】 複数のプロセッサと、該プロセッサの間でデータ通信を行う通信バスと、前記複数のプロセッサごとに設けられるローカルメモリとからなるマルチプロセッサシステムにおいて、特定クロック信号に同期してプロセッサ間のデータ通信を行う通信バスにデータを出力する出力用ラッチ回路と、前記特定クロック信号に同期して前記出力用ラッチ回路にデータを出力するデータ転送を行うプロセッサの内部データバスと、前記特定クロック信号に同期して前記内部データバスへのデータ転送を行うプロセッサとメモリの間のデータ転送用バスとを備える。

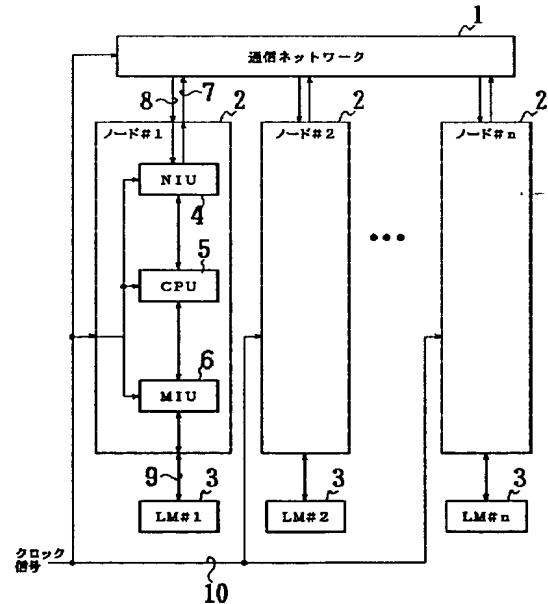


図1 マルチプロセッサシステムの構成

1

【特許請求の範囲】

【請求項1】複数のプロセッサと、該プロセッサの間でデータ通信を行う通信バスと、前記複数のプロセッサごとに設けられるローカルメモリとからなるマルチプロセッサシステムにおいて、

特定クロック信号に同期してプロセッサ間のデータ通信を行う通信バスにデータを出力する出力用ラッチ回路と、

前記特定クロック信号に同期して前記出力用ラッチ回路にデータを出力するデータ転送を行うプロセッサの内部データバスと、

前記特定クロック信号に同期して前記内部データバスへのデータ転送を行うプロセッサとメモリの間のデータ転送用バスとを備えることを特徴とするマルチプロセッサシステム。

【請求項2】複数のプロセッサノードと、該プロセッサノードの間でデータ通信を行う通信バスと、前記複数のプロセッサノードごとに設けられるローカルメモリとからなるマルチプロセッサシステムにおいて、

プロセッサノード間のデータ通信に伴うデータ転送の動作と、

プロセッサノード内のプロセッサの動作と、

プロセッサとローカルメモリ間のデータ転送の動作とが、同一のクロック信号に同期して動作することを特徴とするマルチプロセッサシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数のプロセッサが互いにデータ通信を行いながら処理を行うマルチプロセッサシステムに関し、特に、プロセッサ間のデータ通信を高速化したマルチプロセッサシステムに関するものである。

【0002】

【従来の技術】マルチプロセッサシステムにおいては、プロセッサ間のデータ通信の性能が屢々システム全体の性能を制約する要因となる。従来、プロセッサ間のデータ通信に伴う経路が非同期方式で通信を行うように構成されているため、データ通信が効率よく行えず、スループットが低下するという問題点があった。具体例により説明する。

【0003】図9は、従来のマルチプロセッサシステムの要部のシステム構成を示す図である。図9において、99a～99nはノード(#1～#N)、90は通信ネットワーク、91a～91nはネットワークアダプタ、92a～92nはプロセッサエレメント、93a～93nはローカルメモリ、94a～94nは通信ネットワークインターフェイスバス、95a～95nはローカルバスである。

【0004】通信ネットワーク90は、例えば、マルチステージネットワーク、リニアバス、リングバス、メッシュ

2

シユ結合バス、共通バスなどの通信ネットワークで構成されるデータ通信網である。ネットワークアダプタ91a～91nは、通信ネットワーク90とプロセッサエレメント92a～92nの間を結合する機能回路である。ローカルメモリ93a～93nは、プロセッサエレメント92a～92nに、ローカルバス95a～95nにより結合される。

【0005】図9において、ノード99a～ノード99nの各プロセッサでは、その内の2つのノードの間でデータ通信を行う場合、転送されるべきデータを、1つのノードのローカルメモリから他のノードのローカルメモリへ移動させる。例えば、第1番目のプロセッサノード(#1)99aのローカルメモリ93aから第2番目のプロセッサノード(#2)99bのローカルメモリ93bにデータ転送を行う場合、そのデータ経路は、ローカルバス95a、プロセッサエレメント92a、通信ネットワークインターフェイスバス94a、ネットワークアダプタ91a、通信ネットワーク90、ネットワークアダプタ91b、通信ネットワークインターフェイスバス94b、プロセッサエレメント92b、およびローカルバス95bの経路となり、この経路を経由して、転送されるべきデータが送られる。

【0006】これらのデータ経路上のバスおよびコンポーネントの各要素においては、結合される2つの要素の間のインタフェースだけが考慮されて結合されており、それぞれの要素が非同期方式で動作するように構成される。このため、ここでのデータ経路を通してデータが転送される場合、そのデータ転送のバンド幅が、その最も小さいところの要素(バスまたはコンポーネント)のデータ幅で押さえられてしまう。

【0007】

【発明が解決しようとする課題】ところで、例えば、百数十個の多数のプロセッサを有するマルチプロセッサシステムでは、その構成要素のプロセッサノードは、機能的、物理的に同じに作られるので、データ転送のバンド幅に関する議論で実質的に問題となるのは、プロセッサノードを構成する構成要素のローカルメモリ、ローカルバス、プロセッサエレメント、通信ネットワークインターフェイスバス、ネットワークアダプタ、通信ネットワークのそれぞれの動作速度およびバンド幅(データ転送速度)である。

【0008】しかし、従来のこれらのプロセッサノードの構成要素の動作速度およびバンド幅がそれぞれに異なっているため、データ転送においてボトルネック(隘路)が生じてしまい、データ通信のバンド幅の低下を招くという問題点があった。

【0009】また、一方、ローカルバス、通信ネットワークインターフェイスバス、通信ネットワークの間のデータ通信のバンド幅の違いを吸収するために、ネットワークアダプタなどに小容量の一時的メモリを設けてお

30

40

50

3

り、回路が複雑化しているという問題点があった。

【0010】更に、また、そのような一時的メモリ（バッファ）を設け、当該一時的メモリを用いたデータ転送では、データ転送におけるデータ長がバッファのサイズ以下に限られるので、データ長の長いデータ転送を短く区切って何度も分けて行われ、このため、結果的にデータ転送の効率が落ちるという問題点があった。

【0011】本発明は、これらの問題を解決するためになされたものであり、本発明の目的は、複数のプロセッサと、該プロセッサの間でデータ通信を行う通信バスと、前記複数のプロセッサごとに設けられるローカルメモリとからなるマルチプロセッサシステムにおいて、プロセッサ間データ通信に伴うデータ転送を高速化することにある。

【0012】

【課題を解決するための手段】上述のような目的を達成するため、本発明の第1の特徴とするマルチプロセッサシステムは、複数のプロセッサと、該プロセッサの間でデータ通信を行う通信バスと、前記複数のプロセッサごとに設けられるローカルメモリとからなるマルチプロセッサシステムにおいて、特定クロック信号に同期してプロセッサ間のデータ通信を行う通信バスにデータを出力する出力用ラッチ回路と、前記特定クロック信号に同期して前記出力用ラッチ回路にデータを出力するデータ転送を行うプロセッサの内部データバスと、前記特定クロック信号に同期して前記内部データバスへのデータ転送を行うプロセッサとメモリの間のデータ転送用バスとを備えることを特徴とする。

【0013】また、本発明の第2の特徴とするマルチプロセッサシステムは、複数のプロセッサノードと、該プロセッサノードの間でデータ通信を行う通信バスと、前記複数のプロセッサノードごとに設けられるローカルメモリとからなるマルチプロセッサシステムにおいて、プロセッサノード間のデータ通信に伴うデータ転送の動作と、プロセッサノード内のプロセッサの動作と、プロセッサとローカルメモリ間のデータ転送の動作とが、同一のクロック信号に同期して動作することを特徴とする。

【0014】上記のような特徴を有する本発明のマルチプロセッサシステムにおいては、プロセッサ間データ転送に伴うデータ転送と、プロセッサのCPUと、プロセッサのCPUとメモリ間のデータ転送の三者が同一の特定クロック信号に同期して動作するように構成される。これにより、マルチプロセッサシステムのデータ通信においては、データ転送経路に存在する各要素、例えば、通信ネットワーク、ネットワークインターフェイスユニット、プロセッサ、メモリインターフェイスユニット、およびこれらの間を結んでいるバスについては、その動作周波数および転送レートを共通の特定クロック信号に同期させることができ、このため、データ転送における経路上にボトルネックが生じず、効率的なデータ通信を可能にしたマルチプロセッサシステムの構築が可能になる。

4
行えるマルチプロセッサシステムの構築が可能になる。

【0015】また、これにより、ローカルバス、通信ネットワークインターフェイスバス、通信ネットワークのバンド幅を同じにすることができるので、ネットワークアダプタ、ネットワークインターフェイスユニット等に、小容量の一時的メモリを設ける必要がなくなり、回路の簡略化が計られる。また、ローカルバス、通信ネットワークインターフェイスバス、通信ネットワークのバンド幅を同じにした場合には、任意長のデータ転送が可能になり、データ通信の効率化が計られる。

【0016】

【発明の実施の形態】以下、本発明を実施する形態について、具体例について図面を参照して説明する。図1は、本発明を一態様で実施するマルチプロセッサシステムの要部の構成のブロック図である。図1において、1は通信ネットワーク、2はプロセッサを有するノード、3はローカルメモリ、4はネットワークインターフェイスユニット（NIU）、5はプロセッサ（CPU）、6はメモリインターフェイスユニット（MIU）、7はネットワーク入力バス、8はネットワーク出力バス、9はローカルバス、10はクロック信号線である。プロセッサを有するn個のノード2の構成は、いずれも同じ内部構成をとる。

【0017】ネットワークインターフェイスユニット4は、プロセッサ5と通信ネットワーク1との間のデータ転送を制御する。メモリインターフェイスユニット6は、プロセッサ5とローカルメモリ3との間のデータ転送を制御する。クロック信号線10のクロック信号は、第1番目のノード2のネットワークインターフェイスユニット4、プロセッサ5、メモリインターフェイスユニット6のそれぞれに、同期のためのタイミングを与える同期信号として入力される。また、同じく、クロック信号線10のクロック信号は、他のノード2に対しても、通信ネットワーク1にも、共通に供給され、これらにおいても、データ転送のための共通のクロック信号として使用される。

【0018】図1に示すマルチプロセッサシステムにおけるデータ通信は、データ転送経路に存在する通信ネットワーク1、ネットワークインターフェイスユニット4、プロセッサ5、メモリインターフェイスユニット6、ローカルメモリ3およびこれらの間を結んでいるバスにおいては、その動作周波数および転送レートを共通して入力されるクロック信号線10のクロック信号に同期させて、データ転送を行う。このため、データ転送における経路上にボトルネックが生じず、効率的なデータ通信を可能にしたマルチプロセッサシステムの構築が可能になる。

【0019】また、これにより、ローカルバス9、通信ネットワークインターフェイスバス（7、8）、通信ネットワークのバンド幅を同じにすることができるので、

50

通信ネットワークのネットワークアダプタ、ネットワークインターフェイスユニット等の小容量の一時的メモリを設ける必要がなくなり、回路の簡略化が計られる。また、ローカルバス、通信ネットワークインターフェイスバス、通信ネットワークのバンド幅を同じにした場合、任意長のデータ転送が可能になり、データ通信の効率化が計られる。

【0020】図2は、本発明を別の形態で実施するマルチプロセッサシステムの全体のシステム構成を示すブロック図である。図2において、11はマスターノード、12は第1番目のスレーブノード、13は第n番目のスレーブノード、14はホストインターフェイスバス、15はバス交換器、16はホストコンピュータ、17はプロセッサエレメント、18はローカルメモリ、19はインターフェイス回路、20は周辺回路、21はリングバスである。なお、ここでの共通のクロック信号を供給するクロック信号線は、リングバス21に含まれている。

【0021】リングバス21は、1方向のみに情報が伝達されるバスである。ここでのリングバス21には、(N+1)個のノード(11, 12, 13)がリング状につながる。マスターノード11のノード番号を0とし、各ノードのノード番号は、リングバス21のバスデータ出力の方向に1つ先のノードのノード番号が、リングバスのバスデータ入力方向に1つ手前のノードのノード番号に1を加えたとなっている。つまり、マスターノード11を起点として、N個のノードのノード番号は、1, 2, 3, …, (N-2), (N-1), Nとなる。

【0022】マスターノード11は、リングバス21による通信を制御するノードであり、マスターノード11に属するプロセッサエレメント17のみが、リングバス通信命令を発行できる。マスターノード11のプロセッサエレメント17に接続されているローカルバスには、ローカルメモリ18、インターフェイス回路19、周辺回路20が接続される。

【0023】各々のスレーブノード12～スレーブノード13は、リングバス通信命令を解釈して実行する。各々のスレーブノード(12, 13)は、プロセッサエレメント(12a, 13a)およびローカルメモリ(12b, 13b)を備えており、ローカルバスにより、プロセッサエレメント(12a, 13a)とローカルメモリ(12b, 13b)とが結合されている。スレーブノードのローカルバスには、ローカルメモリのみが接続されるのに対し、マスターノード11のローカルバスには、ローカルメモリ18が接続されると共に、インターフェイス回路19、周辺回路20が接続される。また、インターフェイス回路19には、バス交換器15を介して、ホストコンピュータ16が接続される。これによって、ホストコンピュータ16は、バス交換器15、ホストインターフェイスバス14、インターフェイス回路19を介して、マスターノード11のローカルメモリ18に対す

るデータの読み出しおよび書き込みを行うことができる。

【0024】マスターノード11およびその他のスレーブノード(12, 13)における各々のプロセッサエレメント(17, 12a, 13a)の内部構成は、全て同じ構成となっている。次に、プロセッサエレメントの構成について説明するが、このリングバス21によりデータ通信を行う各ノードのプロセッサエレメントには、共通のクロック信号を供給する共通のクロック信号の信号路が含まれている。

【0025】図3は、プロセッサエレメントの内部構成を示すブロック図である。図3において、30はプロセッサエレメント、31はリングバスインターフェイスユニット(RBIU)、32は内部データバス、33は整数演算ユニット(IAU)、34は浮動小数点演算ユニット(FAU)、35は命令キャッシュユニット(ICU)、36はメモリインターフェイスユニット(MIU)である。

【0026】リングバスインターフェイスユニット31は、リングバスによるバス通信の制御処理を行い、バス通信命令の発行、解釈、制御、実行を行う。主な外部インターフェイス信号の信号線として、リングバス入力、リングバス出力、バス通信命令入力(バスコマンド入力、トークン入力、パリティ入力)、バス通信命令出力(バスコマンド出力、トークン出力、パリティ出力)、割り込み入力、割り込み出力、バスウェイト入力、バスウェイト出力の各々の信号線が設けられている。これらの入力線および出力線が隣の他のプロセッサエレメントのリングバスインターフェイスユニットの対応の信号線と直列に接続される。リングバスインターフェイスユニット31の主な内部インターフェイスは、内部データバス32である。

【0027】整数演算ユニット33は、算術演算ユニット(ALU)、レジスタファイルなどを含み、整数演算の制御処理を行う。整数演算ユニット33は、命令キャッシュユニット35に命令のアドレスを出力し、命令キャッシュユニット35から入力される命令を解釈して実行する。

【0028】浮動小数点演算ユニット34は、浮動小数点加減算器、浮動小数点乗算器、浮動小数点レジスタファイルを含んでおり、浮動小数点演算の処理制御を行う。この演算処理の制御は、浮動小数点演算ユニット34が、命令キャッシュユニット35から入力される命令を解釈し、その内容に従って、浮動小数点演算の処理を実行する。

【0029】命令キャッシュユニット35は、整数演算ユニット33から命令のアドレスを入力し、内部キャッシュメモリに対応する命令があれば(キャッシュヒット)、それを出力する。また、内部キャッシュメモリに50対応する命令がない場合には(キャッシュミス)、メモ

リインターフェイスユニット36を通じて外部メモリ(外部ローカルメモリ)から必要な命令を含むブロックを入力し、入力したブロックのデータから整数演算ユニット33に対する命令を出力する。

【0030】メモリインターフェイスユニット36は、プロセッサエレメント17の外部に接続される外部メモリとの間でのデータの読み出し、書き込みを行う制御処理を行う。ここでのメモリに対するデータの読み出しおよび書き込みの制御処理は、次のようなタスク①～タスク④の4種類のタスクとして処理を実行する。すなわち、

タスク①：整数演算ユニット33のデコードするロード／ストア命令に必要な処理を行う処理。

タスク②：浮動小数点演算ユニット34の内部に外部メモリのデータを連続的に格納し、また、逆に、浮動小数点演算ユニット34から外部メモリにデータを連続的に格納する処理。

タスク③：命令キャッシュユニット35のキャッシュミスに必要な処理(当該命令を含むメモリブロックの読み込み)を行う処理。

タスク④：リングバスインターフェイスユニット31を介してリングバスから入力されるデータを外部メモリに書き込み、また、逆に、リングバスインターフェイスユニット31を介してリングバスへ出力されるデータを外部メモリから読み出す処理。

【0031】これらの4種類のタスクの関するメモリインターフェイスユニット36と、整数演算ユニット33、浮動小数点演算ユニット34、命令キャッシュユニット35、リングバスインターフェイスユニット31との間のデータ転送は、すべて内部データバス32を介して行われる。

【0032】図4は、プロセッサエレメントの各ユニットのレジスタにおいて保持されるデータの種類を示す図である。図3に示すプロセッサエレメントを構成する各ユニットのブロックに対応して、リングバスインターフェイスユニット31、整数演算ユニット33、浮動小数点演算ユニット34、命令キャッシュユニット35、メモリインターフェイスユニット36におけるそれぞれの内部レジスタが示されている。

【0033】図4に示すように、リングバスインターフェイスユニット31には、入力バッファレジスタ(IRR)、出力FIFOメモリ(ORF(4))、ノードIDレジスタ(NIDR)、グループIDレジスタ(GIDR)、Test&Setフラグレジスタ(TSFR)、Test&Setコマンドレジスタ(TSCR)、インタラプトベクトルレジスタ(INTVSR)、リングバスインターフェイスユニットコントロール/ステイタスレジスタ(RCSR)が含まれている。

【0034】また、整数演算ユニット33には、汎用レジスタ(R0～R31)、整数演算ユニットコントロー

ル/ステイタスレジスタ(ICSR)、トラップアドレスレジスタ(TRAR)が含まれており、浮動小数点演算ユニット34には、浮動小数点レジスタ(FR0～FR15)、浮動小数点ベクトルステイタスレジスタ(FVSR)、浮動小数点FIFOメモリ(FFIFO(32))、浮動小数点演算ユニットコントロール/ステイタスレジスタ(FCSR)が含まれている。

【0035】また、命令キャッシュユニット35には、キャッシュメモリ(CM)、タグメモリ(TM)が含まれている。そして、メモリインターフェイスユニット36には、リングバス命令ポインタ(CMDP)、SEND命令ポインタ(SENDRP)、RTRV命令ポインタ(RTRVRP)、メモリブロックポインタ(MEMBP)、メモリカウンタ(MCNT)、メモリインターフェイスユニットコントロール/ステイタスレジスタ(MCSR)の各レジスタが含まれている。これらのレジスタを用いて、データが一時的に格納され、このプロセッサエレメントにおけるデータ処理が進められる。

【0036】次に、このマルチプロセッサシステムにおけるリングバス通信命令によるデータ転送の流れについて説明する。図5は、プロセッサエレメントにおけるリングバス通信命令によるデータ転送の全体の流れを説明する図であり、図6は、リングバスインターフェイスユニットにおけるデータの流れを説明する図である。図5および図6を参照して説明する。図5において、31はリングバスインターフェイスユニット、32は内部データバス、33は整数演算ユニット、36はメモリインターフェイスユニット、58はローカルバス、59は外部ローカルメモリ、200は共通のクロック信号線である。また、50はSEND命令信号、51は内部データバスロック信号、52はリンクバス命令入力、53はリングバス命令出力、54は転送開始及び入出力信号、55は転送終了信号、56はリングバス出力、57はリングバス命令入力の各々の信号線を表わしている。

【0037】また、図6において、60はRBIUレジスタファイル、67はRBIU制御回路、68はリングバスデータ入力、69はマルチブレクサ、70はラッチ回路、71はリングバスデータ出力、72は出力FIFOメモリ、73は入力FIFOメモリ、74は内部データバス、75は比較器、76はリングバスデータ入力方向の外部入出力制御信号群、77はリングバスデータ出力方向の外部入出力制御信号群、78はバス命令生成回路、79は整数演算ユニットに対する制御信号群である。

【0038】(i)まず、注目するプロセッサエレメントから他のプロセッサエレメントへのデータ転送処理について説明する。図5を参照して説明する。例えば、整数演算ユニット33が、SEND命令信号50により、

リングバスインターフェイスユニット31に対して、SEND命令の実行開始を知らせると、リングバスinta

30

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

フェイスユニット31は、リングバス命令出力53により、SEND命令を表す信号を外部（リングバス）に出力する。また、この時、リングバスインターフェイスユニット31においては、内部の出力FIFOメモリ（72：図6）により、データを送出する相手先のノードID、データ長などのデータ転送制御データが、リングバスデータ出力71として外部に出力される。

【0039】次に、リングバスインターフェイスユニット31は、内部データバスロック信号51により、整数演算ユニット33に対して、内部データバス32の使用禁止を知らせる。そして、リングバスインターフェイスユニット31は、転送開始及び出入力信号54をメモリインターフェイスユニット36に送る。これにより、メモリインターフェイスユニット36は、ローカルバス58を介して外部ローカルメモリ59からデータを読み出し、内部データバス32に出力する。メモリインターフェイスユニット36が、ローカルバス58から読み出すデータのアドレス及びその個数は、それぞれ、メモリインターフェイスユニット36のメモリロックポインタ（MEMBP）及びメモリカウンタ（MCNT）に設定されるので（図4）、これらの制御データを用いてデータ転送を行う。

【0040】つまり、メモリインターフェイスユニット36は、処理の開始と同時に、メモリカウンタ（MCNT）の内容を“1”づつ減らし、その値が“0”になった時に処理を終える。この時、メモリインターフェイスユニット36は、リングバスインターフェイスユニット31に対して転送終了信号55により、データ転送の処理の終りを知らせる。

【0041】図6を参照すると、リングバスインターフェイスユニット31においては、リングバスに接続された次段のプロセッサエレメントに送出されるリングバス命令が、バス命令生成回路78において生成され、生成されたリングバス命令は、バス命令生成回路78から、マルチブレクサ69、ラッチ回路70を介して、リングバスデータ出力71として出力される。また、ここでのリングバス命令によって、転送されるデータは、内部データバス32、出力FIFOメモリ72、マルチブレクサ69、および、ラッチ回路70を介して、リングバスデータ出力71として出力される。データ転送において、リングバスインターフェイスユニット31からのデータ出力は、全てRBIU制御回路67により、クロック信号線200からのクロック信号に同期して行われる。

【0042】図7は、プロセッサエレメントからリングバスにデータが転送される場合のデータ転送のタイミングを表すタイミングチャートである。図7に示すように、リングバスデータ出力として、データを送出する相手先のノードID、データ長などのデータ転送制御データが、まず、リングバス命令の制御信号のヘッダ部分

（Header）として送出された後、続いてデータ本体部分（Data1, Data2, …）が転送される。外部ローカルメモリ59から読み出されたデータは、続いて、ローカルバス58、メモリインターフェイスユニット36、内部データバス32、リングバスデータ出力56を介して、クロック信号線200のクロック信号に同期して1クロックづつ遅れながら出力される（図5）。

【0043】(ii) 次に、他のプロセッサエレメントから注目するプロセッサエレメントへのデータ転送処理について説明する。再び、図5を参照すると、リングバスインターフェイスユニット31は、この場合には、外部から入力されるリングバス命令入力52によって、他のプロセッサエレメントからのデータ転送要求を知る。データ転送が自プロセッサエレメント宛のものであるか否かは、つまり、転送データを自己のローカルメモリに取り込むか否かは、リングバスインターフェイスユニット31の内部に設けられているノードIDレジスタ（NIDR）の内容とリングバス入力57から送信されるノードIDの一致を検出することにより行う（比較器75：図6）。

【0044】リングバス上の転送データを自己の外部ローカルメモリ59に取り込む場合、前述の場合と同様に、まず、リングバスインターフェイスユニット31は、内部データバスロック信号51により、整数演算ユニット33に内部データバス32の使用禁止を知らせる。そして、リングバスインターフェイスユニット31は、リングバス入力57により入力されるデータを内部データバスに出力すると同時に、転送開始及び出入力信号54により、メモリインターフェイスユニット36にデータの格納開始を知らせる。メモリインターフェイスユニット36では、内部データバス32から入力したデータを、ローカルバス58を介して外部ローカルメモリ59に書き込む制御を行う。なお、メモリインターフェイスユニット36が、外部ローカルメモリ59に書き込むデータのアドレス及びその個数は、データ転送命令を受信した時に、そのヘッダ部分のデータ転送制御データから、メモリインターフェイスユニット36のメモリロックポインタ（MEMBP）およびメモリカウンタ（MCNT）にそれぞれ設定されるので（図4）、これらの制御データに従って、データを取り込む処理を行う。

【0045】つまり、メモリインターフェイスユニット36は、処理の開始と同時にメモリカウンタ（MCNT）の内容を“1”づつ減らし、“0”になった時、処理を終える。メモリインターフェイスユニット36は転送終了信号55により、リングバスインターフェイスユニット31に転送処理の終わりを知らせる。

【0046】図6を参照すると、リングバスインターフェイスユニット31においては、リングバスデータ入力から入力されるデータは、入力FIFOメモリ73を介

11

して内部データバス74に転送される。データ転送において、リングバスインターフェイスユニット31からのデータ入力は、全てRBIU制御回路67によって、クロック信号線200からのクロック信号に同期して行われる。

【0047】図8は、リングバスからプロセッサエレメントにデータが転送される場合のデータ転送のタイミングを表すタイミングチャートである。リングバスデータ入力68から入力されたデータは、入力IFOメモリ73に一旦蓄えられる。これは、図5を参照する説明において、説明したように、内部データバス32のロックなどを行うために必要な時間データを確保するためである。そして、図8に示すように、9クロックサイクル遅れて、続いて、その後、リングバスデータ入力(入力IFOメモリ73)から、内部データバス32、メモリインターフェイスユニット36、ローカルバス58を介して、外部ローカルメモリ59に、クロック信号線200のクロック信号に同期して1クロックずつ遅れながら書き込まれる。

【0048】次に、本発明のマルチプロセッサシステムを別の態様で実施する変形例について説明する。図10は、本発明の別の態様で実施する一例を説明するマルチプロセッサシステムの要部の構成のブロック図である。図10において、1は通信ネットワーク、2はプロセッサノード、3はローカルメモリ、4はネットワークインターフェイスユニット、5はプロセッサ(CPU)、6はメモリインターフェイスユニット、10はクロック信号線である。これらは、図1に示した要素と同じ参照番号により示しており、同様のシステム要素である。図10に示すマルチプロセッサシステムにおいては、更に、プロセッサノード2の中に、ネットワークインターフェイスユニット4とメモリインターフェイスユニット6との間を直接つなぐ内部データ転送バス201を設けている。

【0049】このような内部データ転送バス201を設けることにより、データ転送においては、プロセッサ(CPU)5の介在をなくすように構成できる。これにより、データ転送においては、ネットワークインターフェイスユニット4は、メモリインターフェイスユニット6と通信ネットワーク1との間のデータ転送を直接に制御し、また、メモリインターフェイスユニット6が、ネットワークインターフェイスユニット4と、ローカルメモリ3との間のデータ転送を直接に制御する。データ転送の共通のクロック信号となるクロック信号線10のクロック信号は、同じく、ネットワークインターフェイスユニット4、プロセッサ5、メモリインターフェイスユニット6のそれぞれに、同期のためのタイミングを与える同期信号として入力される。また、クロック信号線10のクロック信号は、他のノード2に対しても、通信ネットワーク1にも、共通に供給され、これらにおいて

12

も、データ転送のための共通のクロック信号として使用される。

【0050】このように、図10に示すマルチプロセッサシステムのデータ通信においても、データ転送経路に存在する通信ネットワーク1、ネットワークインターフェイスユニット4、メモリインターフェイスユニット6、ローカルメモリ3およびこれらの間を結んでいるバスにおいては、その動作周波数および転送レートを共通して入力されるクロック信号線10のクロック信号に同期させて、データ転送を行うことができる。このため、データ転送における経路上において、ボトルネックが生じず、効率的なデータ通信を可能にしたマルチプロセッサシステムの構築が可能になる。

【0051】これにより、プロセッサの間を結合するデータ幅を除いて、ローカルバス、通信ネットワークインターフェイスバス、通信ネットワークのバンド幅を同じにすることができるので、通信ネットワークのネットワークアダプタ、ネットワークインターフェイスユニット等の小容量の一時的メモリを設ける必要がなくなり、回路の簡略化が計られる。また、ローカルバス、通信ネットワークインターフェイスバス、通信ネットワークのバンド幅を同じにした場合、任意長のデータ転送が可能になり、データ通信の効率化が計られる。

【0052】

【発明の効果】以上、説明したように、本発明によれば、マルチプロセッサシステムのデータ通信において、データ転送経路に存在する例えば通信ネットワーク、ネットワークインターフェイスユニット、プロセッサ、メモリインターフェイスユニット、およびこれらの間を結んでいるバスについて、その動作周波数および転送レートを共通して入力される特定クロック信号に同期させることができ、このため、データ転送における経路上にボトルネックが生じず、効率的なデータ通信を可能にしたマルチプロセッサシステムの構築が可能になる。

【0053】また、ローカルバス、通信ネットワークインターフェイスバス、通信ネットワークのバンド幅を同じにすることができるので、ネットワークアダプタ、ネットワークインターフェイスユニット等の小容量の一時的メモリを設ける必要がなくなり、回路の簡略化が計られる。また、ローカルバス、通信ネットワークインターフェイスバス、通信ネットワークのバンド幅を同じにした場合、任意長のデータ転送が可能になり、データ通信の効率化が計られる。

【図面の簡単な説明】

【図1】 図1は本発明を実施する一態様の実施例のマルチプロセッサシステムの要部の構成のブロック図、

【図2】 図2は本発明を別の態様で実施するマルチプロセッサシステムの全体のシステム構成を示すブロック図、

50 【図3】 図3はプロセッサエレメントの内部構成を示

すブロック図。

【図4】 図4はプロセッサエレメントの各ユニットのレジスタにおいて保持されるデータの種類を示す図。

【図5】 図5はプロセッサエレメントにおけるリングバス通信命令によるデータ転送の全体の流れを説明する図。

【図6】 図6はリングバスインターフェイスユニットにおけるデータの流れを説明する図。

【図7】 図7はプロセッサエレメントからバスにデータが転送される場合のデータ転送のタイミングを表すタイミングチャート。

【図8】 図8はリングバスからプロセッサエレメントにデータが転送される場合のデータ転送のタイミングを表すタイミングチャート。

【図9】 図9は従来のマルチプロセッサシステムの要部のシステム構成を示す図である。

【図10】 図10は、本発明の別の態様で実施する一例を説明するマルチプロセッサシステムの要部の構成のブロック図である。

【符号の説明】

1…通信ネットワーク、2a～2n…プロセッサノード、3a～3n…ローカルメモリ、4…ネットワークインターフェイスユニット、5…プロセッサ(CPU)、6…メモリインターフェイスユニット、7a～7n…ネットワーク入力、8a～8b…ネットワーク出力、9a

10

～9b…ローカルバス、10…クロック信号線、11…マスターノード、12…第1番目のスレーブノード、13…第n番目のスレーブノード、14…ホストインターフェイスバス、15…バス交換器、16…ホストコンピュータ、17…プロセッサエレメント、18…ローカルメモリ、19…インターフェイス回路、20…周辺回路、21…リングバス、30…プロセッサエレメント、31…リングバスインターフェイスユニット(RBIU)、32…内部データバス、33…整数演算ユニット(IAU)、34…浮動小数点演算ユニット(FAU)、35…命令キャッシュユニット(ICU)、36…メモリインターフェイスユニット(MIU)、50…SEND命令信号、51…内部データバスロック信号、52…リンクバス命令入力、53…リンクバス命令出力、54…転送開始及び出入力信号、55…転送終了信号、56…リンクバス出力、57…リンクバス命令入力、58…ローカルバス、59…外部ローカルメモリ、99a～99n…ノード(#1～#N)、90…通信ネットワーク、91a～91n…ネットワークアダプタ、92a～92n…プロセッサエレメント、93a～93n…ローカルメモリ、94a～94n…通信ネットワークインターフェイスバス、95a～95n…ローカルバス、200…クロック信号線、201…内部データ転送バス。

20

20

【図1】

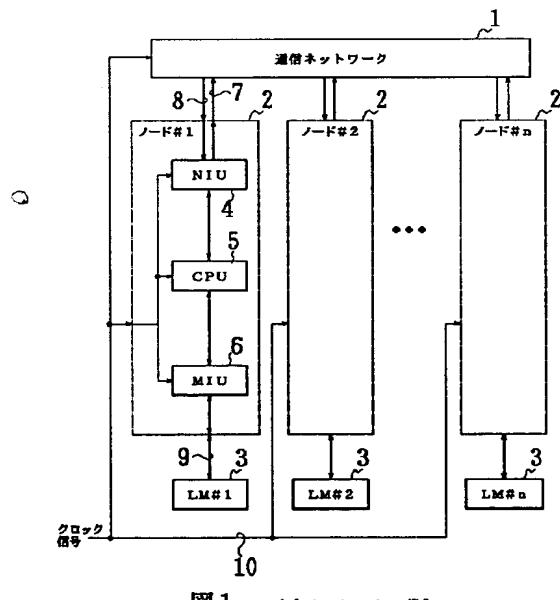


図1 マルチプロセッサシステムの構成

【図7】

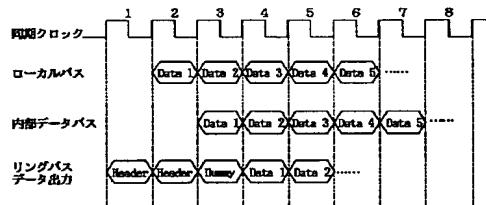


図7

【図8】

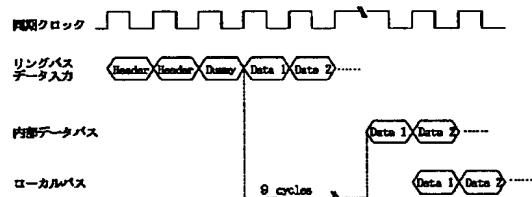


図8

【図2】

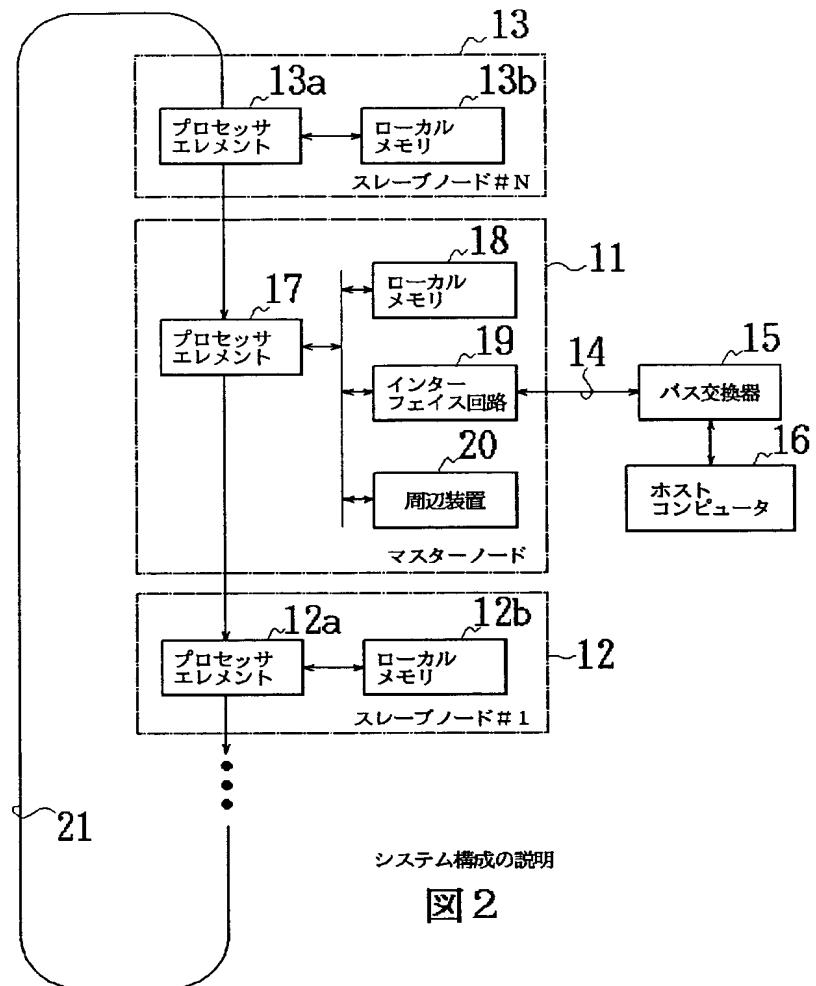


図2

【図3】

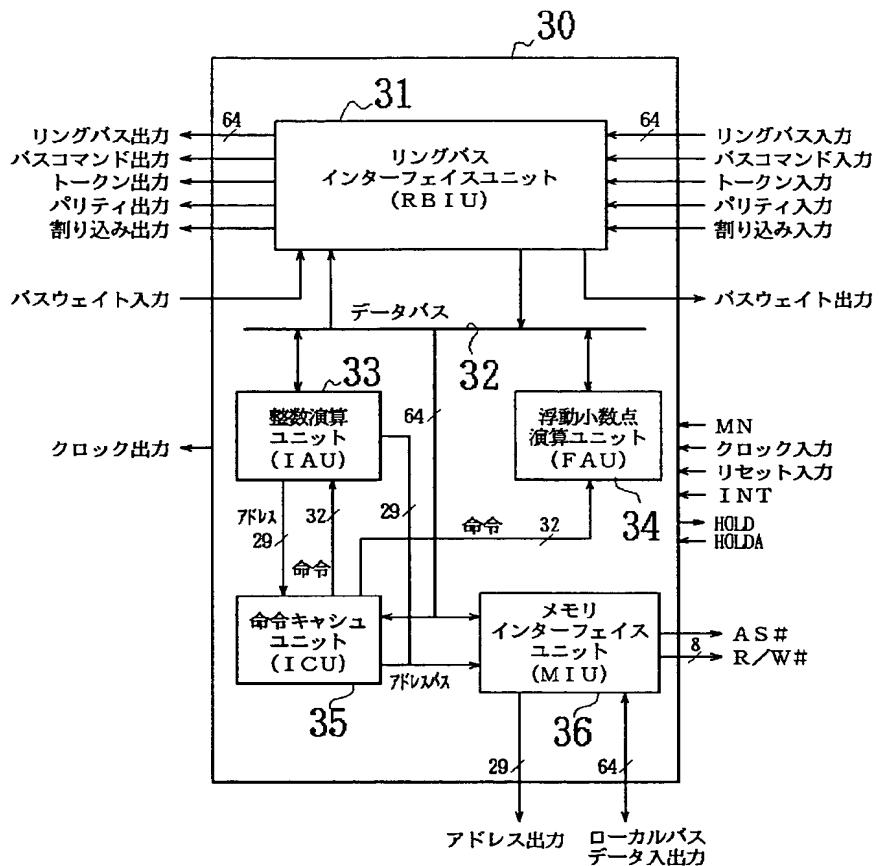


図3 プロセッサエレメントの内部構成

【図4】

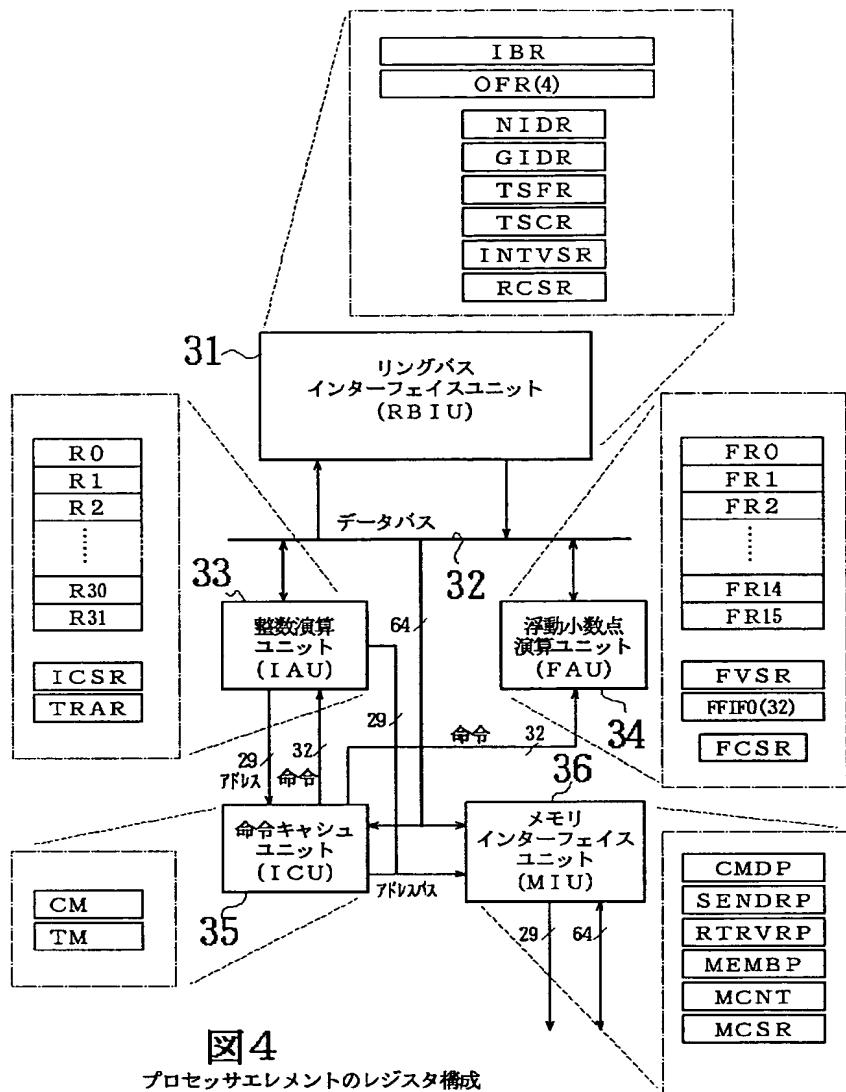


図4
プロセッサエレメントのレジスタ構成

【図5】

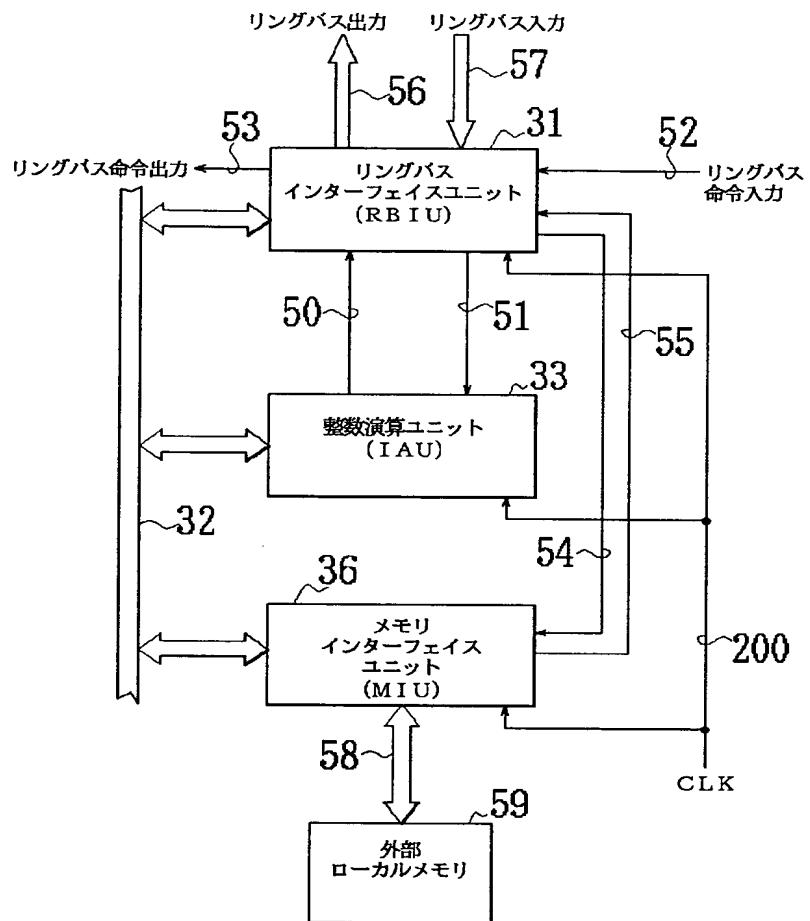


図5 プロセッサエレメントのデータの流れ

【図6】

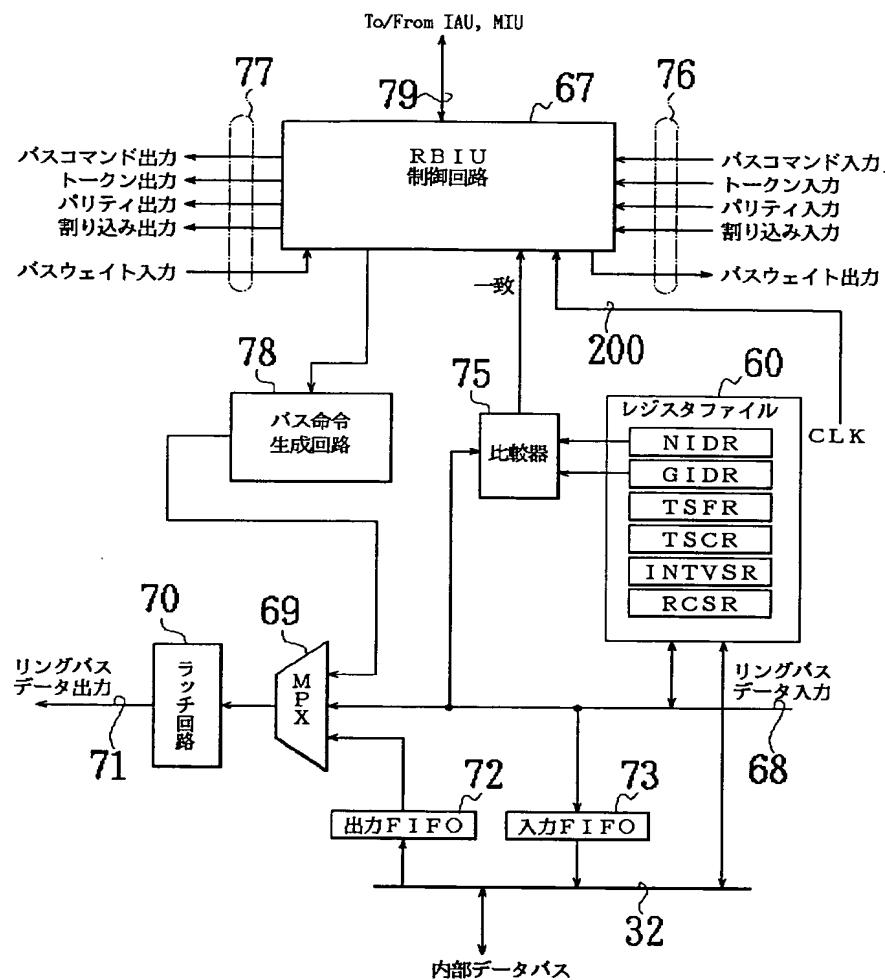


図6 プロセッサエレメントの内部構成

【図9】

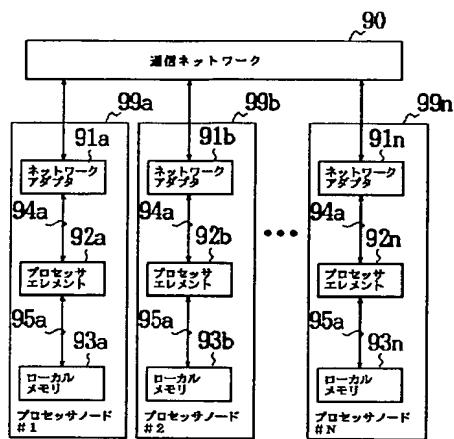


図9 マルチプロセッサシステムの構成

【図10】

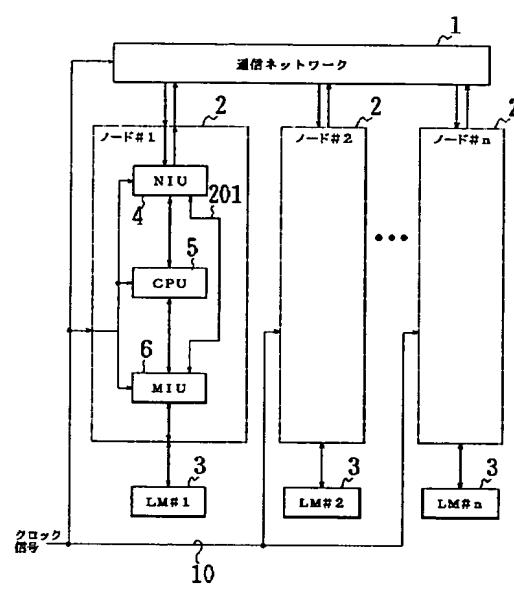


図10 マルチプロセッサシステムの構成

フロントページの続き

(72)発明者 宮川 宣明

神奈川県海老名市本郷2274番地 富士ゼロ
ックス株式会社内

(72)発明者 相原 玲二

広島県東広島市鏡山一丁目4-2 広島大
学内

(72)発明者 小柳 光正

宮城県仙台市青葉区新巻字青葉 東北大学
内